

#3  
10-4-00  
all

Docket No.: 49557-744

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hiroshi MAKINO

Serial No.:

Group Art Unit:

Filed: July 12, 2000

Examiner:

For: BI-DIRECTIONAL BUS CIRCUITRY EXECUTING BI-DIRECTIONAL DATA  
TRANSMISSION WHILE AVOIDING FLOATING STATE

jc836 U.S. PTO  
09/615070  
07/12/00

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, DC 20231

Sir:

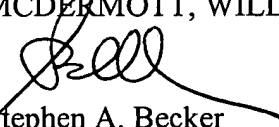
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2000-000387,  
filed January 5, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:dtb  
Date: July 12, 2000  
Facsimile: (202) 756-8087

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

49657-744  
Makino  
July 12, 2000

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 1月 5日

出願番号

Application Number:

特願2000-000387

出願人

Applicant (s):

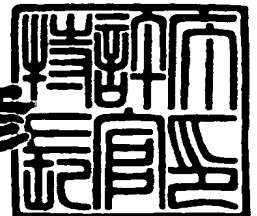
三菱電機株式会社

Jc836 U.S. PTO  
09/615070  
07/12/00

2000年 1月28日

特許庁長官  
Commissioner,  
Patent Office

近藤隆彦



出証番号 出証特2000-3002060

【書類名】 特許願

【整理番号】 520129JP01

【提出日】 平成12年 1月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/40  
H04L 12/40

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

【氏名】 牧野 博之

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 双方向バス回路

【特許請求の範囲】

【請求項 1】 複数の回路ブロック間で共有される双方向バス回路であって

( $J + 1$ ) 個 ( $J$ : 自然数) のバスノードに分割される、前記複数の回路ブロックに入出力されるデータを伝達するためのデータバスを備え、

各前記複数の回路ブロックは、前記 ( $J + 1$ ) 個のバスノードのいずれか 1 つと接続され、

前記 ( $J + 1$ ) 個のバスノードのうちの 1 つに対応して設けられ、前記複数の回路ブロックの全てに対するデータ入出力が非実行である場合に、対応する前記バスノードの電位レベルを所定電位に設定するための電位固定回路と、

隣接する前記バスノード間にそれぞれが配置される  $J$  個のリピータ回路とをさらに備え、

各前記リピータ回路は、

前記隣接するバスノードの一方から前記隣接するバスノードの他方へデータを伝達するための第 1 の信号伝達回路と、

前記隣接するバスノードの他方から前記隣接するバスノードの一方へデータを伝達するための第 2 の信号伝達回路とを含み、

前記複数の回路ブロックと前記バスノードのうちの対応する 1 つとの間におけるデータ入出力および、各前記リピータ回路における信号伝達方向を指示するためのアービタ回路をさらに備え、

前記アービタ回路は、前記複数の回路ブロックの全てに対してデータ入出力が非実行である場合において、前記電位固定回路に対応する前記バスノードの電位レベルを前記データバス全体に伝達するように、各前記リピータ回路において前記第 1 および前記第 2 の信号伝達回路のいずれか一方を活性化する、双方向バス回路。

【請求項 2】 前記第 1 の信号伝達回路は、前記隣接するバスノードの一方から前記隣接するバスノードの他方へ向かう方向に接続され、前記アービタ回路

によって制御される第1のトリステートバッファを有し、

前記第2の信号伝達回路は、前記隣接するバスノードの他方から前記隣接するバスノードの一方へ向かう方向に接続され、前記アービタ回路によって制御される第2のトリステートバッファを有する、請求項1記載の双方向バス回路。

【請求項3】 Jは1であり、

各前記複数の回路ブロックは、2個のバスノードの一方と接続される第1の回路ブロック群と、前記2個のバスノードの他方と接続される第2の回路ブロック群とに分割され、

前記電位固定回路は、前記2個のバスノードの一方に対応して設けられ、

前記第1の信号伝達回路は、前記2個のバスノードの一方から前記2個のバスノードの他方へデータを伝達するために設けられ、

前記第2の信号伝達回路は、前記2個のバスノードの他方から前記2個のバスノードの一方へデータを伝達するために設けられ、

前記アービタ回路は、前記第2の回路ブロック群に属する前記回路ブロックの全てに対してデータ入出力が非実行である場合において、前記第1の信号伝達回路を活性化し、前記第2の回路ブロック群に属する前記回路ブロックのうちの少なくとも1つに対してデータ入出力が実行される場合において、前記第2の信号伝達回路を活性化し、かつ、前記第1および前記第2の信号伝達回路を相補的に活性化する、請求項1記載の双方向バス回路。

【請求項4】 前記データバスによって伝達されるデータは、ハイレベルとローレベルの2つの状態を有し、

前記電位固定回路は、前記ハイレベルおよび前記ローレベルのいずれか一方に対応する電位レベルを供給する電源ノードと前記対応するバスノードとの間に接続されるスイッチ回路を含み、

前記アービタ回路は、前記複数の回路ブロックの全てに対してデータ入出力が非実行である場合において、前記スイッチ回路をオンする、請求項1記載の双方向バス回路。

【請求項5】 前記電源ノードは、前記ローレベルに対応する電位レベルを供給し、

前記スイッチ回路は、N型の電界効果トランジスタを有する、請求項4記載の双方向バス回路。

【請求項6】 前記電源ノードは、前記ハイレベルに対応する電位レベルを供給し、

前記スイッチ回路は、P型の電界効果トランジスタを有する、請求項4記載の双方向バス回路。

【請求項7】 Jは2以上であり、

前記電位固定回路は、前記(J+1)個のバスノードのうち両端に位置する2個のバスノード以外の(J-1)個のバスノードうちの1つに対応して設けられる、請求項1記載の双方向バス回路。

【請求項8】 Jは2以上であり、

前記電位固定回路は、前記(J+1)個のバスノードのうち両端に位置する2個のバスノードのうちのいずれか一方に対応して設けられる、請求項1記載の双方向バス回路。

【請求項9】 各前記複数の回路ブロックは、前記両端に位置する2個のバスノードの一方と接続される第1の回路ブロック群と、前記両端に位置する2個のバスノードの他方と接続される第2の回路ブロック群とに分割され、

各リピータ回路中の前記第1および前記第2の信号伝達回路は、前記J個のリピータ回路に共通に設けられる、第1および第2の制御信号によってそれぞれ制御される、請求項8記載の双方向バス回路。

【請求項10】 複数の回路ブロック間で共有される双方向バス回路であって、

(J+1)個(J:自然数)のバスノードに分割されたデータバスを備え、

各前記複数の回路ブロックは、前記(J+1)個のバスノードのいずれか1つと接続され、

隣接する前記バスノード間にそれぞれが配置されるJ個のリピータ回路をさらに備え、

各前記リピータ回路は、

前記隣接するバスノードの一方から前記隣接するバスノードの他方へデータを

伝達するための第1の信号伝達回路と、

前記隣接するバスノードの他方から前記隣接するバスノードの一方へデータを伝達するための第2の信号伝達回路とを含み、

前記複数の回路ブロックと前記バスノードのうちの対応する1つとの間におけるデータ入出力および、各前記リピータ回路における前記第1および前記第2の信号伝達回路信号の活性化を制御するためのアービタ回路をさらに備え、

前記アービタ回路は、前記複数の回路ブロックの全てに対してデータ入出力が非実行である場合において、各前記リピータ回路において前記第1および前記第2の信号伝達回路の両方を活性化する、双方向バス回路。

【請求項11】 前記第1の信号伝達回路は、前記隣接するバスノードの一方から前記隣接するバスノードの他方へ向かう方向に接続され、前記アービタ回路によって制御される第1のトライステートバッファを有し、

前記第2の信号伝達回路は、前記隣接するバスノードの他方から前記隣接するバスノードの一方へ向かう方向に接続され、前記アービタ回路によって制御される第2のトライステートバッファを有する、請求項10記載の双方向バス回路。

【請求項12】 Jは1であり、

各前記複数の回路ブロックは、2個のバスノードの一方と接続される第1の回路ブロック群と、前記2個のバスノードの他方と接続される第2の回路ブロック群とに分割され、

前記第1の信号伝達回路は、前記2個のバスノードの一方から前記2個のバスノードの他方へデータを伝達するために設けられ、

前記第2の信号伝達回路は、前記2個のバスノードの他方から前記2個のバスノードの一方へデータを伝達するために設けられ、

前記アービタ回路は、前記第2の回路ブロック群に属する前記回路ブロックの全てに対してデータ入出力が非実行である場合において、前記第1の信号伝達回路を活性化し、前記第1の回路ブロック群に属する前記回路ブロックの全てに対してデータ入出力が非実行である場合において、前記第2の信号伝達回路を活性化する、請求項10記載の双方向バス回路。

【請求項13】 Jは2以上であり、



各前記複数の回路ブロックは、両端に位置する 2 個のバスノードの一方と接続される第 1 の回路ブロック群と、前記 2 個のバスノードの他方と接続される第 2 の回路ブロック群とに分割され、

前記第 1 の信号伝達回路は、前記 2 個のバスノードの一方から前記 2 個のバスノードの他方へ向かう方向にデータを伝達するために設けられ、

前記第 2 の信号伝達回路は、前記 2 個のバスノードの他方から前記 2 個のバスノードの一方へ向かう方向へデータを伝達するために設けられ、

各リピータ回路中の前記第 1 および前記第 2 の信号伝達回路は、前記 J 個のリピータ回路に共通に設けられる、第 1 および第 2 の制御信号によってそれぞれ制御され、

前記アービタ回路は、前記第 2 の回路ブロック群に属する前記回路ブロックの全てに対してデータ入出力が非実行である場合において、各リピータ回路中の前記第 1 の信号伝達回路を活性化し、前記第 1 の回路ブロック群に属する前記回路ブロックの全てに対してデータ入出力が非実行である場合において、各リピータ回路中の前記第 2 の信号伝達回路を活性化する、請求項 1 0 記載の双方向バス回路。

#### 【発明の詳細な説明】

#### 【0 0 0 1】

#### 【発明の属する技術分野】

この発明は、双方向バス回路に関し、より特定的には、マイクロプロセッサ等の半導体装置に用いられ、安定的かつ高速に双方向のデータ伝達を行なうことが可能な双方向バス回路に関する。

#### 【0 0 0 2】

#### 【従来の技術】

近年の L S I を始めとする半導体装置の大規模化に伴うチップサイズの増大に従って、半導体装置内部で信号伝達を行なうためのバス配線が長配線化している。長配線化による寄生抵抗および寄生容量の増大に起因して、バス配線における信号伝達時間の増大が問題となっている。

#### 【0 0 0 3】

バス配線における信号伝達の方法が一方向に限られている場合は、長配線化したバス配線の間に、適当にバッファ回路（以下、リピータ回路ともいう）を挿入することによって、比較的容易に高速化を図ることができる。しかし、バス配線における信号伝達の方法を双方向化した場合には、リピータ回路に双方向への信号増幅を可能とする機能を備えるとともに、各リピータ回路における信号伝達の方法を制御する回路ブロック（以下、このような回路をアービタ回路ともいう）が必要とされる。

#### 【0004】

図9は、従来の技術の双方向バス回路500の構成を示すブロック図である。

図9を参照して、双方向バス回路500は、バスノードNb1およびNb2に分割されたデータバスによって、たとえば4個の回路ブロック10-a~10-dに入出力されるデータを伝達する。データバスによって伝達されるデータは、ハイレベル（以下、Hレベルとも記す）およびローレベル（以下、Lレベルとも記す）の2つの信号レベルを有する、デジタルデータである。

#### 【0005】

バスノードNb1には、回路ブロック10-aおよび10-bが接続され、バスノードNb2には回路ブロック10-cおよび10-dが接続される。回路ブロック10-a~10-dは、入力バッファ12-a~12-dおよび出力バッファ14-a~14-dをそれぞれ有する。

#### 【0006】

双方向バス回路500は、バスノードNb1およびNb2の間に接続されるリピータ回路50を備える。リピータ回路50は、バスノードNb1からバスノードNb2に向かう方向に信号を増幅して伝達するためのトライステートバッファ51と、バスノードNb2からバスノードNb1に向かう方向に信号を増幅して伝達するためのトライステートバッファ52とを含む。

#### 【0007】

トライステートバッファ51および52は、対応するリピータ制御信号CRP1およびCRP2がそれぞれ活性化（Hレベル）されている場合には、バッファとして機能して、信号増幅を行なう。また、対応するリピータ制御信号が非活性

化（レベル）されている場合には、これらのトライステートバッファの各々は、ハイインピーダンス状態とされる。

#### 【0008】

双方向バス回路500は、さらに、データ入出力の対象となる回路ブロックを指定するとともに、リピータ回路50の信号伝達の方法を制御するためのアービタ回路520をさらに備える。

#### 【0009】

アービタ回路520は、データ出力の対象となる回路ブロックを特定するための回路ブロック情報を受けて回路ブロック指定信号CSBa～CSBdを出力する回路ブロック指定回路25を含む。

#### 【0010】

アービタ回路520は、回路ブロック指定信号CSBaおよびCSBbのOR論理演算結果を出力する論理ゲートLG50と、回路ブロック指定信号CSBcおよびCSBdのOR論理演算結果を出力する論理ゲートLG52とを有する。論理ゲートLG50およびLG52は、リピータ制御信号CRP1およびCRP2をそれぞれ生成する。

#### 【0011】

したがって、アービタ回路520は、バスノードNb1に接続される回路ブロック10-aおよび10-bのいずれかにおいてデータ出力が指示された場合には、トライステートバッファ51を活性化して、バスノードNb1からバスノードNb2へ信号の伝達を指示する。

#### 【0012】

一方、バスノードNb2に接続される回路ブロック10-cおよび10-dのいずれかにおいてデータ出力が指示された場合においては、アービタ回路520は、トライステートバッファ52を活性化して、バスノードNb2からバスノードNb1へ信号の伝達を指示する。

#### 【0013】

なお、図9においては、記載を簡略化するため各回路ブロックへのデータ入力時に用いられる制御信号については表記を省略している。

## 【0014】

このような構成とすることにより、バス配線が長配線化した場合においても、アービタ回路520およびリピータ回路50によって、信号伝達の方角を制御するとともに伝達されるデータを増幅し、長配線化したデータバス上のデータ伝達を高速に実行することができる。

## 【0015】

## 【発明が解決しようとする課題】

しかしながら、図9に示す構成の場合には、データバスの不使用時、すなわち、データバスに接続される回路ブロック10-a~10-dのいずれもがデータバスを使用しないときには、回路ブロック指定信号CSBa~CSBdはすべて非活性状態（Lレベル）とされるので、これに応じてリピータ制御信号CRP1およびCRP2もそれぞれ非活性化（Lレベル）される。これにより、各回路ブロック中のトライステートバッファ14-a~14-dおよびリピータ回路50中のトライステートバッファ51および52は、いずれもハイインピーダンス状態となるので、バスノードNb1およびNb2の電位レベルがいずれも不定となってしまう。

## 【0016】

このように、バスノードの電位レベルが不定となると、バスノードの電位レベルが中間電位となって、当該バスノードに接続された回路ブロックの入力バッファおよび出力バッファにおいて、無用な消費電流として消費される定常電流が生じるおそれがある。

## 【0017】

また、ノイズなどによってバスノードの電位レベルが、データのHレベル電位に相当する電源電位よりも高くなったり、データのLレベル電位に相当する接地電位よりも低くなると、当該バスノードに接続された回路ブロック中の入力バッファおよび出力バッファにおいて回路破壊が生じるおそれもある。

## 【0018】

上述したような、データバスの電位レベルが不定となる問題を解決するための技術として、たとえば特開昭63-85852号公報に開示されるような、不使

用時にバス電位の固定が可能なバス回路の構成が知られている。

【0019】

図10は、不使用時にバス電位の固定が可能な従来の技術のバス回路600を説明するための回路図である。

【0020】

図10を参照して、バス回路600は、データD1～Dnにそれぞれ対応して設けられるn個（n：自然数）のトライステートバッファGT1～GTnと、各トライステートバッファの出力ノードと接続されるバスラインBUSと、バスラインBUSと接地ノードとの間に設けられるトランジスタQNと、トランジスタQNのオンオフを制御するためのNORゲートGC1とを備える。

【0021】

トライステートバッファGT1～GTnのそれぞれは、対応する制御信号C1～Cnにそれぞれ対応して、対応するデータD1～DnをバスラインBUSに伝達する。対応する制御信号が非活性状態とされるトライステートバッファは、ハイインピーダンス状態とされる。

【0022】

バス回路600においては、すべての制御信号C1～Cnが非活性状態であり、バスラインBUSが不使用となる場合には、NORゲートGC1の出力がHレベルに設定されるため、トランジスタQNのオンによって、バスラインBUSと接地ノード（電位レベルGND）とが接続される。

【0023】

すなわち、バス回路600においては、対応するデータを出力するためのトライステートバッファのすべてがハイインピーダンス状態とされ、バスラインBUSが不使用の場合においても、バスラインBUSの電位レベルを、所定の電位レベル、この場合においては接地電位に固定することができるため、バスラインBUSの電位レベルが不定となることによって生じる不具合を回避することが可能である。

【0024】

しかしながら、後程詳細に説明するように、図10に示す不使用時にバス電位

の固定する技術を、そのまま双方向バス回路に適用することには問題がある。

【0025】

この発明は、このような問題点を解決するためになされたものであって、その目的は、データバスに対する寄生容量の増加を抑制してデータ伝達速度の低下を防ぎつつ、データバス不使用時においてデータバスの電位レベルが不定となることを回避して動作を安定化できる双方向バス回路の構成を提供することである。

【0026】

【課題を解決するための手段】

請求項1記載の双方向バス回路は、複数の回路ブロック間で共有される双方向バス回路であって、 $(J+1)$  個 ( $J$ : 自然数) のバスノードに分割される、複数の回路ブロックに入出力されるデータを伝達するためのデータバスを備え、各複数の回路ブロックは、 $(J+1)$  個のバスノードのいずれか1つと接続され、 $(J+1)$  個のバスノードのうちの1つに対応して設けられ、複数の回路ブロックの全てに対するデータ入出力が非実行である場合に、対応するバスノードの電位レベルを所定電位に設定するための電位固定回路と、隣接するバスノード間にそれぞれが配置される  $J$  個のリピータ回路とをさらに備え、各リピータ回路は、隣接するバスノードの一方から隣接するバスノードの他方へデータを伝達するための第1の信号伝達回路と、隣接するバスノードの他方から隣接するバスノードの一方へデータを伝達するための第2の信号伝達回路とを含み、複数の回路ブロックとバスノードのうちの対応する1つとの間におけるデータ入出力および、各リピータ回路における信号伝達方向を指示するためのアービタ回路をさらに備え、アービタ回路は、複数の回路ブロックの全てに対してデータ入出力が非実行である場合において、電位固定回路に対応するバスノードの電位レベルをデータバス全体に伝達するように、各リピータ回路において第1および第2の信号伝達回路のいずれか一方を活性化する。

【0027】

請求項2記載の双方向バス回路は、請求項1記載の双方向バス回路であって、第1の信号伝達回路は、隣接するバスノードの一方から隣接するバスノードの他方へ向かう方向に接続され、アービタ回路によって制御される第1のトライステ

ートバッファを有し、第2の信号伝達回路は、隣接するバスノードの他方から隣接するバスノードの一方へ向かう方向に接続され、アービタ回路によって制御される第2のトライステートバッファを有する。

【0028】

請求項3記載の双方向バス回路は、請求項1記載の双方向バス回路であって、Jは1であり、各複数の回路ブロックは、2個のバスノードの一方と接続される第1の回路ブロック群と、2個のバスノードの他方と接続される第2の回路ブロック群とに分割され、電位固定回路は、2個のバスノードの一方に対応して設けられ、第1の信号伝達回路は、2個のバスノードの一方から2個のバスノードの他方へデータを伝達するために設けられ、第2の信号伝達回路は、2個のバスノードの他方から2個のバスノードの一方へデータを伝達するために設けられ、アービタ回路は、第2の回路ブロック群に属する回路ブロックの全てに対してデータ入出力が非実行である場合において、第1の信号伝達回路を活性化し、第2の回路ブロック群に属する回路ブロックのうちの少なくとも1つに対してデータ入出力が実行される場合において、第2の信号伝達回路を活性化し、かつ、第1および第2の信号伝達回路を相補的に活性化する。

【0029】

請求項4記載の双方向バス回路は、請求項1記載の双方向バス回路であって、データバスによって伝達されるデータは、ハイレベルとローレベルの2つの状態を有し、電位固定回路は、ハイレベルおよびローレベルのいずれか一方に対応する電位レベルを供給する電源ノードと対応するバスノードとの間に接続されるスイッチ回路を含み、アービタ回路は、複数の回路ブロックの全てに対してデータ入出力が非実行である場合において、スイッチ回路をオンする。

【0030】

請求項5記載の双方向バス回路は、請求項4記載の双方向バス回路であって、電源ノードはローレベルに対応する電位レベルを供給し、スイッチ回路はN型の電界効果トランジスタを有する。

【0031】

請求項6記載の双方向バス回路は、請求項4記載の双方向バス回路であって、

電源ノードはハイレベルに対応する電位レベルを供給し、スイッチ回路はP型の電界効果トランジスタを有する。

【0032】

請求項7記載の双方向バス回路は、請求項1記載の双方向バス回路であって、 $J$ は2以上であり、電位固定回路は、 $(J+1)$ 個のバスノードのうち両端に位置する2個のバスノード以外の $(J-1)$ 個のバスノードうちの1つに対応して設けられる。

【0033】

請求項8記載の双方向バス回路は、請求項1記載の双方向バス回路であって、 $J$ は2以上であり、電位固定回路は、 $(J+1)$ 個のバスノードのうち両端に位置する2個のバスノードのうちのいずれか一方に対応して設けられる。

【0034】

請求項9記載の双方向バス回路は、請求項8記載の双方向バス回路であって、各複数の回路ブロックは、両端に位置する2個のバスノードの一方と接続される第1の回路ブロック群と、両端に位置する2個のバスノードの他方と接続される第2の回路ブロック群とに分割され、各リピータ回路中の第1および第2の信号伝達回路は、 $J$ 個のリピータ回路に共通に設けられる、第1および第2の制御信号によってそれぞれ制御される。

【0035】

請求項10記載の双方向バス回路は、複数の回路ブロック間で共有される双方向バス回路であって、 $(J+1)$ 個( $J$ :自然数)のバスノードに分割されたデータバスを備え、各複数の回路ブロックは、 $(J+1)$ 個のバスノードのいずれか1つと接続され、隣接するバスノード間にそれぞれが配置される $J$ 個のリピータ回路をさらに備え、各リピータ回路は、隣接するバスノードの一方から隣接するバスノードの他方へデータを伝達するための第1の信号伝達回路と、隣接するバスノードの他方から隣接するバスノードの一方へデータを伝達するための第2の信号伝達回路とを含み、複数の回路ブロックとバスノードのうちの対応する1つとの間におけるデータ入出力および、各リピータ回路における第1および第2の信号伝達回路信号の活性化を制御するためのアービタ回路をさらに備え、アー



ビタ回路は、複数の回路ブロックの全てに対してデータ入出力が非実行である場合において、各リピータ回路において第1および第2の信号伝達回路の両方を活性化する。

【0036】

請求項11記載の双方向バス回路は、請求項10記載の双方向バス回路であって、第1の信号伝達回路は、隣接するバスノードの一方から隣接するバスノードの他方へ向かう方向に接続され、アービタ回路によって制御される第1のトライステートバッファを有し、第2の信号伝達回路は、隣接するバスノードの他方から隣接するバスノードの一方へ向かう方向に接続され、アービタ回路によって制御される第2のトライステートバッファを有する。

【0037】

請求項12記載の双方向バス回路は、請求項10記載の双方向バス回路であって、Jは1であり、各複数の回路ブロックは、2個のバスノードの一方と接続される第1の回路ブロック群と、2個のバスノードの他方と接続される第2の回路ブロック群とに分割され、第1の信号伝達回路は、2個のバスノードの一方から2個のバスノードの他方へデータを伝達するために設けられ、第2の信号伝達回路は、2個のバスノードの他方から2個のバスノードの一方へデータを伝達するために設けられ、アービタ回路は、第2の回路ブロック群に属する回路ブロックの全てに対してデータ入出力が非実行である場合において、第1の信号伝達回路を活性化し、第1の回路ブロック群に属する回路ブロックの全てに対してデータ入出力が非実行である場合において、第2の信号伝達回路を活性化する。

【0038】

請求項13記載の双方向バス回路は、請求項10記載の双方向バス回路であって、Jは2以上であり、各複数の回路ブロックは、両端に位置する2個のバスノードの一方と接続される第1の回路ブロック群と、2個のバスノードの他方と接続される第2の回路ブロック群とに分割され、第1の信号伝達回路は、2個のバスノードの一方から2個のバスノードの他方へ向かう方向にデータを伝達するために設けられ、第2の信号伝達回路は、2個のバスノードの他方から2個のバスノードの一方へ向かう方向へデータを伝達するために設けられ、各リピータ回路

中の第1および第2の信号伝達回路は、J個のリピータ回路に共通に設けられる、第1および第2の制御信号によってそれぞれ制御され、アービタ回路は、第2の回路ブロック群に属する回路ブロックの全てに対してデータ入出力が非実行である場合において、各リピータ回路中の第1の信号伝達回路を活性化し、第1の回路ブロック群に属する回路ブロックの全てに対してデータ入出力が非実行である場合において、各リピータ回路中の第2の信号伝達回路を活性化する。

【0039】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。  
なお、図中における同一符号は同一または相当部分を示す。

【0040】

〔不使用時にバス電位の固定を可能とするための双方向バス回路の構成〕

まず、実施の形態1に従う双方向バス回路を説明するために、図10に示したデータバス不使用時においてデータバスの電位レベルを固定する従来の技術を、図9に示す双方向バス回路にそのまま適用した場合の回路構成について説明する。

【0041】

図1は、実施の形態1の双方向バス回路を説明するための双方向バス回路800の構成を示すブロック図である。

【0042】

双方向バス回路800は、図9に示した双方向バス回路500と同様に、バスノードNb1およびNb2に分割されたデータバスによって、たとえば4個の回路ブロック10-a~10-dに入出力されるデータを伝達する。データバスによって伝達されるデータは、ハイレベル（以下、Hレベルとも記す）およびローレベル（以下、Lレベルとも記す）の2つの信号レベルを有する、デジタルデータである。

【0043】

図1を参照して、双方向バス回路800は、バスノードNb1およびNb2に分割されたデータバスと、バスノードNb1およびNb2の間に接続されるリピー

ータ回路50と、リピータ回路50の信号伝達方向を制御するアービタ回路820とを備える。

【0044】

図9の場合と同様に、バスノードNb1には、回路ブロック10-aおよび10-bが接続され、バスノードNb2には回路ブロック10-cおよび10-dが接続される。回路ブロック10-a~10-dは、内部回路18-a~18-dと、内部回路に対してバスノードからデータを書込むための入力バッファ回路12-a~12-dと、内部回路からバスノードにデータを読み出すための出力バッファ回路14-a~14-dとをそれぞれ含む。

【0045】

内部回路18-a~18-dは、たとえばメモリ装置や演算装置等である。回路ブロック10-a~10-dは、内部回路18-a~18-dと外部との間で、双方向回路800を介してデータを入出力することができる。

【0046】

リピータ回路50は、図9の場合と同様に、バスノードNb1からバスノードNb2に向かう方向に信号を増幅して伝達するためのトライステートバッファ51と、バスノードNb2からバスノードNb1に向かう方向に信号を増幅して伝達するためのトライステートバッファ52とを含む。

【0047】

トライステートバッファ51および52は、対応するリピータ制御信号CRP1およびCRP2が活性化（Hレベル）されている場合には、それぞれがバッファとして機能して、信号増幅を行なう。また、対応するリピータ制御信号が非活性化（Lレベル）されている場合には、これらのトライステートバッファの各々は、ハイインピーダンス状態になる。

【0048】

アービタ回路820は、データ出力の対象となる回路ブロックを特定するための回路ブロック情報を受けて回路ブロック指定信号CSBa~CSBdを出力する回路ブロック指定回路25を含む。回路ブロック指定回路25は、回路ブロック情報に基づいて、データ出力の対象とされた回路ブロックに対応する回路ブ

ック制御信号を活性化（Hレベル）する。

【0049】

アービタ回路820は、さらに、図9に示すアービタ回路520と同様に、回路ブロック指定信号CSB aおよびCSB bのOR論理演算結果を出力する論理ゲートLG50と、回路ブロック指定信号CSB cおよびCSB dのOR論理演算結果を出力する論理ゲートLG52とを有する。

【0050】

アービタ回路820は、アービタ回路520の構成に加えて、回路ブロック指定信号CSB a～CSB dのNOR論理演算結果を出力する論理ゲートLG60をさらに有する。

【0051】

論理ゲートLG50およびLG52は、リピータ制御信号CRP1およびCRP2をそれぞれ生成し、論理ゲートLG60は、バス電位固定信号CBFを生成する。

【0052】

すなわち、回路ブロック指定信号CSB a～CSB dの論理レベルをそれぞれA～Dとし、リピータ制御信号CRP1、CRP2およびバス電位固定信号CBFの論理レベルをそれぞれE、FおよびGで表わすと、E、FおよびGは、A～Dを用いて（1）、（2）および（3）式のブール式で表わすことができる。

【0053】

$$E = A + B \quad \cdots (1)$$

$$F = C + D \quad \cdots (2)$$

【0054】

【数1】

$$G = \overline{A + B + C + D} \quad \cdots (3)$$

【0055】

したがって、バスノードNb1に接続される回路ブロック10-aもしくは10-bからデータ出力が行なわれる場合においては、リピータ制御信号CRP1

が活性化（Hレベル）されて、トライステートバッファ51は、バスノードNb1上のデータを増幅してバスノードNb2へ伝達する。

【0056】

一方、バスノードNb2に接続される回路ブロック10-cもしくは10-dからデータ出力が行なわれる場合においては、リピータ制御信号CRP2が活性化（Hレベル）されて、トライステートバッファ52は、バスノードNb2上のデータを増幅してバスノードNb1へ伝達する。

【0057】

データバスに接続される全ての回路ブロック10-a～10-dに対して、データ入出力が実行されない場合、すなわちデータバス不使用時においては、バス電位固定信号CBFは活性状態（Hレベル）に設定される。一方、トライステートバッファ50および51の両方は、非活性化されてハイインピーダンス状態となる。

【0058】

なお、本発明の実施の形態の説明においては、図9の場合と同様に、記載を簡略化するため各回路ブロックへのデータ入力時に用いられる制御信号については表記を省略する。

【0059】

双方向バス回路800は、さらに、データバス不使用時において、バスノードを接地ノード95と接続するための、バス電位固定回路860および865を備える点を特徴とする。接地ノード95は、データバスによって伝達されるデータのLレベルに対応する接地電位GNDを供給する。

【0060】

バス電位固定回路860は、バスノードNb1と接地ノード95との間に接続されるトランジスタQN1を有する。同様に、バス電位固定回路865は、バスノードNb2と接地ノードGNDとの間に接続されるトランジスタQN2を有する。

【0061】

トランジスタQN1およびQN2は、論理ゲートLG60の出力するバス電位

固定信号CBFに応じてオンオフするN型の電界効果型トランジスタであり、代表的にはN型MOSトランジスタが適用される。

【0062】

このような構成とすることにより、データバス不使用時においては、回路ブロック指定信号CSBa～CSBdのすべてが非活性状態（Lレベル）となることから、バス電位固定信号CBFの活性化（Hレベル）に応じてトランジスタQN1およびQN2がオンされる。この結果、バスノードNb1およびNb2は、接地ノード95と接続され、各バスノード電位レベルは、接地電位に固定される。

【0063】

また、データバスが使用される場合には、回路ブロック指定信号CSBa～CSBdのいずれかが活性化されてHレベルとなることから、バス電位固定信号CBFは非活性化（Lレベル）されて、トランジスタQN1およびQN2はともにオフ状態となるため、バスノードNb1およびNb2の電位レベルは、接地ノード95から影響を受けることはない。

【0064】

したがって、図1に示す双方向バス回路800の構成では、データバスの不使用時において、その電位レベルを固定することが可能であるので、すでに述べたようなデータバスの電位レベルが不定となることによって生じる問題点を回避することができる。

【0065】

しかしながら、双方向バス回路800においては、バスノードNb1およびNb2の各々に対して、データバス不使用時において電位レベルを固定するためのトランジスタが接続されるため、これらのトランジスタ寄生容量の影響によって、データバス使用時におけるデータ伝達速度が遅くなってしまうという問題点が新たに生じる。

【0066】

すなわち、データバスの使用時においては、トランジスタQN1およびQN2はともにオフされるが、このときトランジスタQN1およびQN2のドレインに存在する寄生容量の影響で、データバスの寄生容量が増加して、データの伝達を

遅延させてしまう。

【0067】

この現象は、データバス長が増大し信号を増幅するためのリピータ回路を多数設ける必要が生じた場合に、さらに影響が大きく問題となる。

【0068】

〔実施の形態1〕

図2は、本発明の実施の形態1に従う双方向バス回路100の構成を示すブロック図である。

【0069】

図2を参照して、双方向バス回路100は、リピータ回路50によってバスノードNb1およびNb2に分割されたデータバスと、バスノードNb1およびNb2の間で双方向に信号を伝達するためのリピータ回路50と、データバス不使用時に、バスノードNb1の電位レベルを固定するためのバス電位固定回路60と、データの入出力を実行する回路ブロックを指定する回路ブロック情報に基づいて、リピータ回路50およびバス電位固定回路60の動作を制御するアービタ回路20とを備える。

【0070】

双方向バス回路100は、バスノードNb1およびNb2に分割されたデータバスによって、回路ブロック10-a～10-dに入出力されるデータを伝達する。ここで、回路ブロックを10-a～10-dの4個としたのは例示にすぎず、後の説明で明らかになるように、実施の形態1に従う双方向バス回路100の構成は、任意の複数の回路ブロックに対応して用いることができる。

【0071】

回路ブロック10-a～10-dの構成については、図1で説明したとおりであるので、説明は繰り返さない。

【0072】

リピータ回路50は、双方向回路800の場合と同様に、バスノードNb1からバスノードNb2に向かう方向に信号を増幅して伝達するためのトリステートバッファ51と、バスノードNb2からバスノードNb1に向かう方向に信号

を増幅して伝達するためのトリステートバッファ52とを含む。

【0073】

図3は、トリステートバッファの構成を説明する回路図である。

図3においては、代表的にリピータ回路50中のトリステートバッファ51の構成について説明するが、以下に説明する構成は、リピータ回路50中に含まれるトリステートバッファ52および、各回路ブロック中における出力バッファ14-a~14-dについても適用することができる。

【0074】

図3を参照して、トリステートバッファ51は、入力ノードであるバスノードNb1および制御信号であるリピータ制御信号CRP1の信号レベルのNAND論理演算結果を出力する論理ゲートLG15と、リピータ制御信号CRP1の信号レベルを反転するインバータIV15と、インバータIV15の出力とバスノードNb1の信号レベルのNOR論理演算結果を出力する論理ゲートLG17とを有する。

【0075】

トリステートバッファ51は、さらに、論理ゲートLG15の出力をゲートに受けて電源ノード96と出力ノードであるバスノードNb2との間に接続されるP型MOSトランジスタQPBと、論理ゲートLG17の出力をゲートに受けてバスノードNb2と接地ノード95との間に接続されるN型MOSトランジスタQNBとをさらに有する。

【0076】

このような構成とすることにより、制御信号であるリピータ制御信号CRP1が活性状態（Hレベル）である場合には、入力ノードであるバスノードNb1の信号レベルに応じて、トランジスタQPBおよびQNBのいずれか一方がオンして、バスノードNb1の信号レベルは増幅されて出力ノードNb2に出力される。

【0077】

具体的には、論理ゲートLG15およびLG17の出力する信号レベルは、入力ノード（バスノードNb1）の信号レベルを反転したレベルとなるので、入力



ノードの信号レベルがHレベルである場合には、トランジスタQPBがオンして出力ノード（バスノードNb2）は電源ノード96と接続される。一方、入力ノードの信号レベルがLレベルである場合には、トランジスタQNBがオンされて出力ノードは接地ノード95と接続される。

【0078】

一方、制御信号であるリピータ制御信号CRP1が非活性状態（Lレベル）である場合には、入力ノード（バスノードNb1）の信号レベルによらず、論理ゲートLG15およびLG17の出力する信号レベルは、HレベルおよびLレベルにそれぞれ固定される。したがって制御信号が非活性状態（Lレベル）である場合には、トランジスタQPBおよびQNBはいずれもオンすることはないので、出力ノードはハイインピーダンス状態となる。

【0079】

したがって、図3の回路構成を用いることにより、既に説明したようなトライステートバッファの機能を実現することができる。

【0080】

また、図3に示したトライステートバッファと同様に、制御信号に応答して活性化および非活性化されて、活性化時には入力ノードの信号レベルを出力ノードに伝達し、非活性化時には、入力ノードと出力ノードの間を電氣的に切り離すことが可能な構成を有する信号伝達回路であれば、図3の構成に代えて適用することが可能である。

【0081】

再び図2を参照して、アービタ回路20は、回路ブロック制御回路25と、リピータ制御信号CRP1、CRP2およびバス電位固定信号CBFをそれぞれ生成する論理ゲートLG12、LG14およびLG10とを含む。

【0082】

回路ブロック制御回路25の機能は、図1で説明したとおりであるので、説明は繰り返さない。

【0083】

論理ゲートLG12は、回路ブロック指定信号CSBcおよびCSBdのNO

R論理演算結果を、リピータ制御信号CRP1として出力する。論理ゲートLG14は、回路ブロック指定信号CSBcおよびCSBdのOR論理演算結果を、リピータ制御信号CRP1と相補の信号であるリピータ制御信号CRP2として出力する。論理ゲートLG10は、回路ブロック所定信号CSBa～CSBdのNOR論理演算結果をバス電位固定信号CBFとして出力する。

【0084】

すなわち、回路ブロック指定信号CSBa～CSBdの論理レベルをそれぞれA～Dとし、リピータ制御信号CRP1、CRP2およびバス電位固定信号CBFの論理レベルをそれぞれE、FおよびGで表わすと、E、FおよびGは、A～Dを用いて(4)式および、既出の(2)および(3)式のブール式でそれぞれ表わすことができる。

【0085】

【数2】

$$E = \overline{C + D} \quad \dots (4)$$

【0086】

$$F = C + D \quad \dots (2)$$

【0087】

【数3】

$$G = \overline{A + B + C + D} \quad \dots (3)$$

【0088】

したがって、アービタ回路20は、回路ブロック指定信号CSBa～CSBdのすべてが非活性状態(Lレベル)であるデータバス不使用時において、バス電位固定信号CBFを活性化(Hレベル)する。

【0089】

バス電位固定回路60は、バスノードNb1と接地ノード95との間に接続される、ゲートにバス電位固定信号CBFを受けるトランジスタQFNを有する。トランジスタQFNは、バス電位固定信号CBFに応じてオンオフするN型の電

界効果型トランジスタであり、代表的にはN型MOSトランジスタが適用される。

【0090】

したがって、データバス不使用時においては、バス電位固定回路60は、トランジスタQFNのオンにより、バスノードNb1の電位レベルを、接地電位GNDに固定する。

【0091】

バスノードNb2に接続される回路ブロック10-cおよび10-dのいずれかにおいて、データ出力が指示される場合には、リピータ制御信号CRP2が活性化（Hレベル）され、トライステートバッファ52が活性化されて、バッファとして作用する。一方、この場合においては、リピータ制御信号CRP1は、相補的に非活性状態（Lレベル）とされるので、トライステートバッファ51は、ハイインピーダンス状態とされる。

【0092】

一方、回路ブロック10-cおよび10-dの双方がデータ出力を実行しない場合、すなわち回路ブロック指定信号CSBcおよびCSBdの両方が非活性状態（Lレベル）である場合には、反対に、リピータ制御信号CRP1が活性化（Hレベル）され、リピータ制御信号CRP2は非活性化（Lレベル）される。これに応答して、トライステートバッファ51および52は、それぞれ活性化および非活性化され、バスノードNb1からバスノードNb2へ信号が伝達される一方で、トライステートバッファ52は、ハイインピーダンス状態とされる。

【0093】

データバス不使用時においては、リピータ制御信号CRP1は活性状態とされ、CRP2は非活性状態とされる。したがって、活性化されたトライステートバッファ51によって、バスノードNb1の電位レベルが、バスノードNb2に伝達される。このような構成とすることにより、バスノードNb1に対してのみバス電位固定回路60を設ける構成としても、バスノードNb1およびNb2の電位レベルの双方を、データバス不使用時において接地電位に固定することが可能となる。

## 【 0 0 9 4 】

したがって実施の形態 1 に従う双方向バス回路 1 0 0 は、データバスの不使用时においてデータバスの電位レベルが不定となることを防止できるとともに、データバスの使用時ににおいてデータバスに対する寄生容量として作用する、データバスの不使用时において電位を固定するためのトランジスタの個数を削減することができるので、図 1 に示す双方向バス回路 8 0 0 と比較して、データバスにおけるデータ伝達を高速化することが可能となる。

## 【 0 0 9 5 】

なお、図 2 に示す双方向バス回路 1 0 0 において、バス電位固定回路 6 0 をバスノード N b 1 側に設けたのは、例示にすぎず、バス電位固定回路を、バスノード N b 2 側にのみ設ける構成とすることも可能である。この場合には、データバス不使用时における信号伝達方向が、バスノード N b 2 からバスノード N b 1 となるように、リピータ制御信号の論理レベルを変更すればよい。

## 【 0 0 9 6 】

## 〔実施の形態 1 の変形例〕

図 4 は、実施の形態 1 の変形例に従う双方向バス回路 1 1 0 の構成を示すブロック図である。

## 【 0 0 9 7 】

図 4 を参照して、実施の形態 1 の変形例に従う双方向バス回路 1 1 0 は、図 2 に示した双方向バス回路 1 0 0 と比較して、バス電位固定回路 6 0 およびアービタ制御回路 2 0 に代えて、バス電位固定回路 6 1 およびアービタ回路 2 1 を備える点で異なる。

## 【 0 0 9 8 】

バス電位固定回路 6 1 は、バス電位固定回路 6 0 と同様にデータバス不使用时においてバスノード N b 1 の電位レベルを固定するための回路であるが、トランジスタ Q F N に代えて、バスノード N b 1 と電源ノード 9 6 との間に接続されるトランジスタ Q F P を有する点で異なる。トランジスタ Q F P は、バス電位固定信号 C B F ' に応じてオンオフする P 型の電界効果型トランジスタであり、代表的には P 型 MOS トランジスタが適用される。

## 【0099】

したがって、データバス不使用時においては、バス電位固定回路61は、トランジスタQFPのオンにより、バスノードNb1の電位レベルを電源電位Vccに固定する。電源電位Vccは、データバスによって伝達されるデータのHレベルに対応する。

## 【0100】

アービタ回路21は、アービタ回路20と類似と構成を有するが、NORゲートであった論理ゲートLG10に代えて、ORゲートLG11によってバス電位固定信号CBF'を生成する点異なる。

## 【0101】

回路ブロック指定信号CSBa～CSBdの論理レベルをそれぞれA～Dとし、バス電位固定信号CBF'の論理レベルをG'で表わすと、G'は、A～Dを用いて(5)式のブール式で表わすことができる。

## 【0102】

$$G' = A + B + C + D \quad \dots (5)$$

バス電位固定信号CBF'は、データバス不使用時において活性化され、その信号レベルはLレベルに設定される。

## 【0103】

その他の回路の構成および動作については、実施の形態1に従う双方向バス回路100の場合と同様であるので説明は繰返さない。

## 【0104】

このような構成とすることにより、データバスによって伝達されるデータのHレベルに対応する電位レベルによって、データバス不使用時における各バスノードの電位レベルを固定する構成としても、実施の形態1に従う双方向バス回路と同様の効果を享受することができる。

## 【0105】

## 〔実施の形態2〕

実施の形態2においては、データバスがさらに長配線化し、リピータ回路を複数設けることが必要な場合の双方向バス回路の構成について説明する。

## 【0106】

図5は、実施の形態2に従う双方向バス回路200の構成を示すブロック図である。

## 【0107】

図5を参照して、双方向バス回路200は、リピータ回路50に加えて、さらに、リピータ回路70および90を備える。これにより、双方向バス回路200が備えるデータバスは、バスノードNb1～Nb4の4つのバスノードに分割される。

## 【0108】

リピータ回路70および90は、実施の形態1で説明したリピータ回路50と同様の構成を有する。すなわち、リピータ回路70および90は、トライステートバッファ51と同一方向に信号を伝達する、トライステートバッファ71および91と、トライステートバッファ52と同一方向に信号を伝達する、トライステートバッファ72および92とをそれぞれ含む。

## 【0109】

リピータ回路70および90は、リピータ回路50と共通のリピータ制御信号CRP1およびCRP2によって制御される。リピータ制御信号CRP1が活性化（Hレベル）された場合には、トライステートバッファ51、71および91が活性化されて、バスノードNb1→Nb3→Nb4→Nb2の方向で信号が伝達される。

## 【0110】

一方、リピータ制御信号CRP2が活性化（Hレベル）された場合には、トライステートバッファ52、72および92が活性化され、バスノードNb2→Nb4→Nb3→Nb1の方向に信号が伝達される。アビタ回路20の構成および動作については、実施の形態1の場合と同様であるので説明は繰返さない。

## 【0111】

なお、図5においてリピータ回路の個数を3とし、データバスを4個のバスノードに分割したのは例示に過ぎず、後の説明で明らかになるように、実施の形態2に示す双方向バス回路の構成は、リピータ回路を複数個有し、データバスが3

個以上のバスノードに分割される構成に対して適用することが可能である。

【0112】

双方向バス回路200は、データバス不使用時において、バスノードNb1の電位レベルを接地電位に固定するためのバス電位固定回路60をさらに備える。バス電位固定回路60は、実施の形態1の場合と同様に、バス電位固定信号CBFに応答して、データバス不使用時においてバスノードNb1と接地ノード95とを接続し、バスノードNb1の電位レベルを接地電位GNDに固定する。

【0113】

実施の形態1の場合と同様に、データバス不使用時においては、リピータ回路50、70および80中においては、トリステートバッファ51、71および81が活性化されるので、固定されたバスノードNb1の電位レベルは、各リピータ回路によって、バスノードNb3、Nb4およびNb2に伝達される。

【0114】

このような構成とすることによって、リピータ回路によるデータバスの分割が3以上の場合であっても、端部に位置するバスノードに対してバス電位固定回路を設けるのみで、データバスの全バスノードの電位レベルを固定することが可能となり、データバスの電位が不定となることによって生じる誤動作や故障といったトラブルを防止することが可能となる。さらに、バス電位固定回路が1個で足りるため、データバス使用時におけるデータ伝達速度の低下を防ぐことが可能となる。

【0115】

なお、双方向バス回路200においては、データバスNb1に対してバス電位固定回路を設ける構成としたが、同様の構成において、端部に位置するもう一方のバスノードNb2にバス電位固定回路を設ける構成とすることも可能である。この場合には、データバス不使用時における信号伝達方向が、バスノードNb2からバスノードNb1に向かう方向となるように、リピータ制御信号の論理レベルを変更すればよい。

【0116】

すなわち、実施の形態2に従う双方向バス回路200においては、3以上に分

割されたバスノードのうち、両端のバスノードのいずれか一方に対してバス電位固定回路を設け、各リピータ回路における信号伝達方向を揃えることによって、各バスノードの電位レベルをデータバス不使用時において固定するものである。このような構成とすることにより、各リピータ回路に対するリピータ制御信号を共用できるというメリットが生じている。

## 【0117】

また、双方向バス回路200において、バス電位固定回路の構成として、図4に示したバス電位固定回路61の構成を適用しても、同等の効果を享受することができる。

## 【0118】

## 〔実施の形態2の変形例〕

実施の形態2の変形例においては、実施の形態2の場合と同様に、データバスが3以上のバスノードに分割された場合において、バス電位固定回路を、両端部以外のバスノードに対応して設ける構成について説明する。

## 【0119】

図6は、実施の形態2の変形例に従う双方向バス回路250の構成を示すブロック図である。

## 【0120】

図6を参照して、双方向バス回路は、双方向バス回路200と同様に、リピータ回路50、70および90によってバスノードNb1～Nb4に分割されたデータバスを備える。リピータ回路70および90の構成および動作は、双方向バス回路200の場合と同様であるので、説明は繰り返さない。

## 【0121】

なお、図6においてリピータ回路の個数を3とし、データバスを4個のバスノードに分割したのは図5の場合と同様に例示に過ぎず、実施の形態2の変形例に示す双方向バス回路の構成は、データバスが3個以上のバスノードに分割される構成に対して適用することが可能である。

## 【0122】

双方向バス回路250は、双方向バス回路200と異なり、中間のバスノード



Nb3に対してバス電位固定回路60を備える。双方向バス回路250は、中間ノードに対応して設けられたバス電位固定回路によって、すべてのバスノードの電位レベルをデータバスを不使用時において固定するために、アービタ回路20に代えてアービタ回路220を備える。

#### 【0123】

その他の回路構成および動作については、既に説明した実施の形態2に従う双方向バス回路200と同様であるので説明は繰返さない。

#### 【0124】

アービタ回路220は、アービタ回路20の構成に加えて、論理ゲートLG22および論理ゲートLG24をさらに有する。論理ゲートLG22は、回路ブロック指定信号CSBaおよびCSBbのOR論理演算結果としてリピータ制御信号CRP1'を出力する。論理ゲートLG24は、回路ブロック指定信号CSBaおよびCSBbのNOR論理演算結果としてリピータ制御信号CRP2'を出力する。

#### 【0125】

すなわち、図6において、バス電位固定回路60より右側に位置するリピータ回路70および90については、図5の場合と、同様のリピータ制御信号を用いることができるが、バス電位固定回路60より左側に位置するリピータ回路50に対しては、データバス不使用時における信号の伝達方向を、リピータ回路70および90とは反対にする必要があるため、新たなリピータ制御信号CRP1'およびCRP2'を設ける必要がある。

#### 【0126】

回路ブロック指定信号CSBa～CSBdの論理レベルをそれぞれA～Dとし、リピータ制御信号CRP1'およびCRP2'の論理レベルをそれぞれHおよびIで表わすと、HおよびIは、A～Dを用いて(6)および(7)式のブール式で表わすことができる。

#### 【0127】

$$H = A + B \quad \dots (6)$$

#### 【0128】

【数4】

$$I = \overline{A+B} \quad \dots (7)$$

【0129】

このような構成とすることにより、双方向バス回路250は、回路ブロック10-aおよび10-bのいずれかに入出力されるデータを伝達する場合には、トリステートバッファ51、71および91が活性状態とされ、バスノードNb1からバスノードNb2に向かう方向にデータバス上を信号が伝達される。また、回路ブロック10-cまたは10-dによってデータバスが使用される場合には、トリステートバッファ52、72および92が活性化され、バスノードNb2からNb1に向かう方向にデータバス上をデータ信号が伝達される。

【0130】

データバス不使用時においては、トリステートバッファ52、71および91が活性状態とされ、バス電位固定回路60によって接地電位に固定されたバスノードNb3の電位レベルは、バスノードNb1、Nb4およびNb2に伝達され、バスノードNb3に対して設けられた1個のバス電位固定回路60によって、すべてのバスノードの電位レベルを接地電位に固定することが可能となる。

【0131】

このような構成とすることにより、双方向バス回路250においては、3以上に分割されたバスノードのうち、両端のバスノードを除いた中間のバスノードに対してバス電位固定回路を配置するため、データバス不使用時においてバス電位固定回路によって固定された電位レベルを他のバスノードに対して伝達する距離が短くすることができる。この結果、データバス不使用時における各バスノードの電位レベルの固定をより高速に実行することが可能である。

【0132】

また、双方向バス回路250において、バス電位固定回路の構成として、図4に示したバス電位固定回路61の構成を適用しても、同等の効果を享受することができる。

【0133】

## 【実施の形態3】

実施の形態3においては、データバス不使用時において、各リピータ回路を、ラッチ回路として作用させ、特にバス電位固定回路を設けることなくデータバス不使用時において、その電位レベルを固定することが可能な構成について説明する。

## 【0134】

図7は、本発明の実施の形態3に従う双方向バス回路300の構成を示すブロック図である。

## 【0135】

図7を参照して、実施の形態3に従う双方向バス回路300は、実施の形態1に従う双方向バス回路100と比較して、アービタ回路20に代えて、アービタ回路320を備える点およびバス電位固定回路60を具備しない点で異なる。

## 【0136】

アービタ回路320は、リピータ制御信号CRP1およびCRP2をそれぞれ生成する論理ゲートLG12およびLG16を有する。論理ゲートLG12は、回路ブロック指定信号CSBcおよびCSBdのNOR論理演算結果としてリピータ制御信号CRP1を出力する。論理ゲートLG16は、回路ブロック指定信号CSBaおよびCSBbのNOR論理演算結果としてリピータ制御信号CRP2を出力する。

## 【0137】

回路ブロック指定信号CSBa～CSBdの論理レベルをそれぞれA～Dとし、アービタ回路320の生成するリピータ制御信号CRP1およびCRP2の論理レベルをそれぞれEおよびFで表わすと、EおよびFは、A～Dを用いて(8)および(9)式のブール式で表わすことができる。

## 【0138】

## 【数5】

$$E = \overline{C + D} \quad \dots (8)$$

## 【0139】

【数 6】

$$F = \overline{A + B} \quad \dots (9)$$

【0140】

したがって、論理ゲートLG12は、回路ブロック10-cおよび10-dのいずれもが不使用である場合に、リピータ制御信号CR1を活性化（Hレベル）する。論理ゲートLG16は、回路ブロック10-aおよび10-bの両方が不使用である場合にリピータ制御信号CRP2を活性化（Hレベル）する。

【0141】

この結果、双方向バス回路300は、回路ブロック10-aおよび10-bのいずれかからデータが出力される場合には、回路ブロック10-cおよび10-dの両方が不使用であることから、トライステートバッファ51を活性化する一方で、トライステートバッファ52をハイインピーダンス状態とする。

【0142】

一方、回路ブロック10-cおよび10-dのいずれかからデータが出力される場合には、双方向バス回路300は、回路ブロック10-aおよび10-bの両方が不使用であることから、トライステートバッファ52を活性化する一方で、トライステートバッファ51をハイインピーダンス状態とする。

【0143】

これにより、いずれかの回路ブロックからデータが出力される場合には、各バスノード間において正常にデータの伝達を行なうことが可能である。

【0144】

データバスの不使用時においては、アービタ回路320は、リピータ制御信号CRP1およびCRP2の両方を活性化（Hレベル）するので、トライステートバッファ51および52は、いずれも活性化されてデータ増幅を行なう。

【0145】

これにより、リピータ回路50においては、トライステートバッファ51および52によってラッチ回路が形成されることになり、データバス不使用時におけるバスノードNb1およびNb2においては、データバスが不使用となる直前に

おける電位レベルがそれぞれ保持される。

【0146】

このような構成とすることにより、バス電位固定回路を特別に設けることなく、データバス不使用時における各バスノードの電位レベルを、電源電位レベルもしくは接地電位レベルのいずれか一方、すなわちデータの信号レベルのいずれか一方に固定し、データバスの電位レベルが不定となることを回避できる。

【0147】

さらに、アービタ回路320の構成は、実施の形態1に従うアービタ回路20と比較して、4入力NORゲートである論理ゲートLG10を必要としない。

【0148】

この結果、実施の形態3に従う双方向バス回路300は、双方向バス回路100と同様の効果を、より小面積の回路によって享受することが可能となる。

【0149】

また、バス電位を固定するためのトランジスタを特別に設ける必要がないため、データバス使用時における寄生容量を双方向バス回路100と比較して抑制することができるので、データバス使用時におけるデータ伝達速度の低下を招くことなく、データバス不使用時においてデータバスの電位レベルが不定となることを回避することが可能である。

【0150】

〔実施の形態3の変形例〕

図8は、実施の形態3の変形例に従う双方向バス回路350の構成を示すブロック図である。

【0151】

図8を参照して、双方向バス回路350は、双方向バス回路300と比較して、リピータ回路50に加えて、さらに、リピータ回路70および90を備える点が異なる。これにより、双方向バス回路350が備えるデータバスは、バスノードNb1～Nb4の4つのバスノードに分割される。

【0152】

リピータ回路70および90は、トライステートバッファ51と同一方向に信

号を伝達する、トライステートバッファ 7 1 および 9 1 と、トライステートバッファ 5 2 と同一方向に信号を伝達する、トライステートバッファ 7 2 および 9 2 とをそれぞれ含む。

【 0 1 5 3 】

トライステートバッファ 7 1 および 9 1 の各々は、トライステートバッファ 5 1 と共通のリピータ制御信号 C R P 1 によって制御され、トライステートバッファ 7 2 および 9 2 の各々は、トライステートバッファ 5 2 と共通のリピータ制御信号 C R P 2 によって制御される。

【 0 1 5 4 】

なお、図 8 においてリピータ回路の個数を 3 とし、データバスを 4 個のバスノードに分割したのは例示に過ぎず、実施の形態 3 の変形例に従う双方向バス回路の構成は、データバスが 3 個以上のバスノードに分割される構成に対して適用することが可能である。

【 0 1 5 5 】

このように、データバスの配線長が長く、リピータ回路を複数個設ける必要がある場合、すなわちデータバスが 3 以上のバスノードに分割される場合であっても、リピータ制御信号 C R P 1 および C R P 2 を各リピータ回路で共用して、双方向バス回路 3 0 0 と同様の効果を享受することができる。

【 0 1 5 6 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 1 5 7 】

【発明の効果】

請求項 1 および 2 記載の双方向バス回路は、複数の回路ブロックの全てに対するデータ入出力が非実行である場合、すなわちデータバス不使用時において、電位固定回路によって所定の電位レベル設定されたバスノードの電位レベルを、各リピータ回路によってバスノード全体に伝達するので、1 個の電位固定回路によ

って、全てのバスノードの電位レベルを所定電位に設定することができる。この結果、データバスの寄生容量を抑制してデータバス使用時の信号伝達速度の低下を防ぎつつ、データバス不使用時においてデータバスの電位レベルが不定になることを回避できる。

【0158】

請求項3記載の双方向バス回路は、バスノードが2個である場合に、請求項1記載の双方向バス回路が奏する効果を享受することができる。

【0159】

請求項4から6に記載の双方向バス回路は、データバスによって伝達されるデータの信号レベルの一方に対応する電位レベルとバスノードとの間を接続可能なトランジスタを有するので、請求項1記載の双方向バス回路が奏する効果に加えて、電位固定回路の構成を簡素化できる。

【0160】

請求項7記載の双方向バス回路は、バスノードが3個以上である場合において、両端に位置するバスノード以外のバスノードに対応して電位固定回路を設けるので、データバス不使用時においてデータバスの電位レベルを高速に固定することが可能である。

【0161】

請求項8記載の双方向バス回路は、バスノードが3個以上設けられる場合に、請求項1記載の双方向バス回路が奏する効果を享受することができる。

【0162】

請求項9記載の双方向バス回路は、データバスの使用時および不使用時の双方において、各リピータ回路の信号伝達方向を揃えることができるので、各リピータ回路中の第1および第2の信号伝達回路を、それぞれ共通の制御信号によって制御することができる。この結果、請求項8記載の双方向バス回路が奏する効果に加えて、アービタ回路の構成を簡素化することができる。

【0163】

請求項10および11に記載の双方向バス回路は、複数の回路ブロックの全てに対するデータ入出力が非実行である場合、すなわちデータバス不使用時におい

て、各リピータ回路をラッチ回路として機能させることによって各バスノードの電位レベルを固定することができるので、特に電位固定回路を設けることなく全てのバスノードの電位レベルを固定することができる。この結果、データバスの寄生容量の増加を招くことなくデータバス不使用時においてデータバスの電位レベルが不定になることを回避できる。

【0164】

請求項12記載の双方向バス回路は、バスノードが2個である場合において、簡素な構成のアービタ回路を用いて請求項10記載の双方向バス回路が奏する効果を享受することができる。

【0165】

請求項13記載の双方向バス回路は、バスノードが3個以上設けられる場合において、簡素な構成のアービタ回路を用いて請求項10記載の双方向バス回路が奏する効果を享受することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の双方向バス回路を説明するための双方向バス回路800の構成を示すブロック図である。

【図2】 本発明の実施の形態1に従う双方向バス回路100の構成を示すブロック図である。

【図3】 トライステートバッファ51の構成を示す回路図である。

【図4】 実施の形態1の変形例に従う双方向バス回路110の構成を示すブロック図である。

【図5】 本発明の実施の形態2に従う双方向バス回路200の構成を示すブロック図である。

【図6】 本発明の実施の形態2の変形例に従う双方向バス回路250の構成を示すブロック図である。

【図7】 本発明の実施の形態3に従う双方向バス回路300の構成を示すブロック図である。

【図8】 本発明の実施の形態3の変形例に従う双方向バス回路350の構成を示すブロック図である。



【図 9】 従来の技術の双方向バス回路 5 0 0 の構成を示すブロック図である。

【図 1 0】 不使用時にバス電位の固定が可能な従来の技術のバス回路 6 0 0 を示す回路図である。

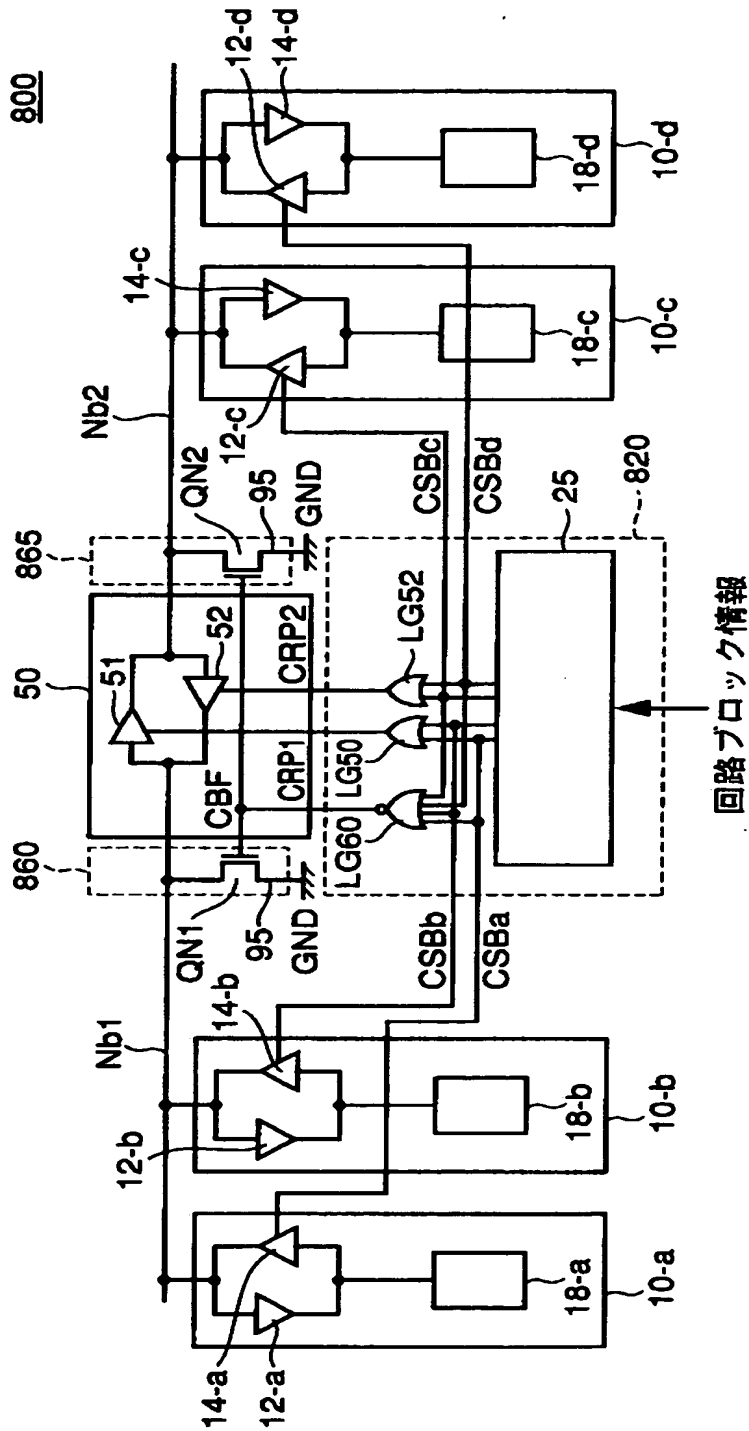
【符号の説明】

1 0 - a ~ 1 0 - d 回路ブロック、2 0, 2 2 0, 3 2 0 アービタ回路、  
5 0, 7 0, 9 0 リピータ回路、6 0, 6 1 バス電位固定回路、5 1, 5 2  
, 7 1, 7 2, 9 1, 9 2 トライステートバッファ、N b 1 ~ N b 4 バスノ  
ード。

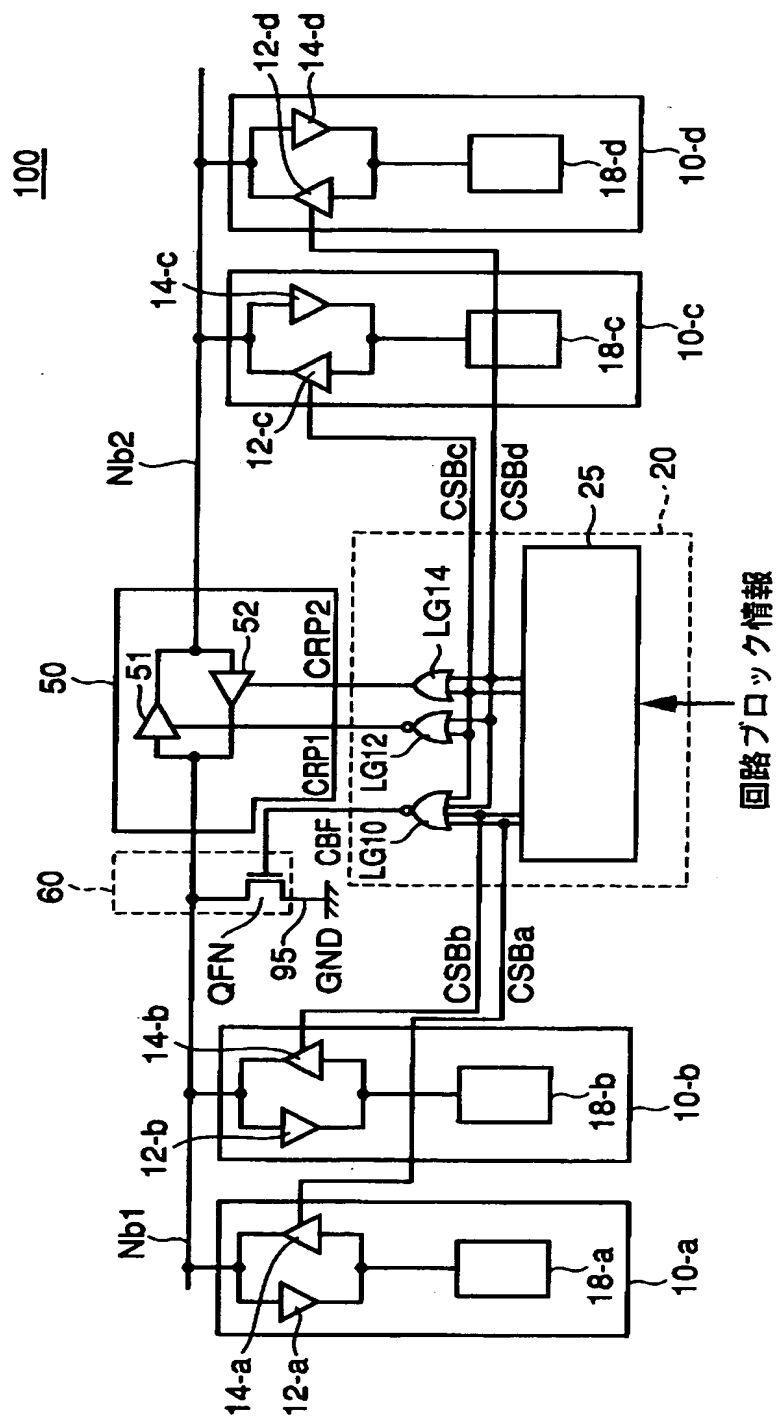
【書類名】

図面

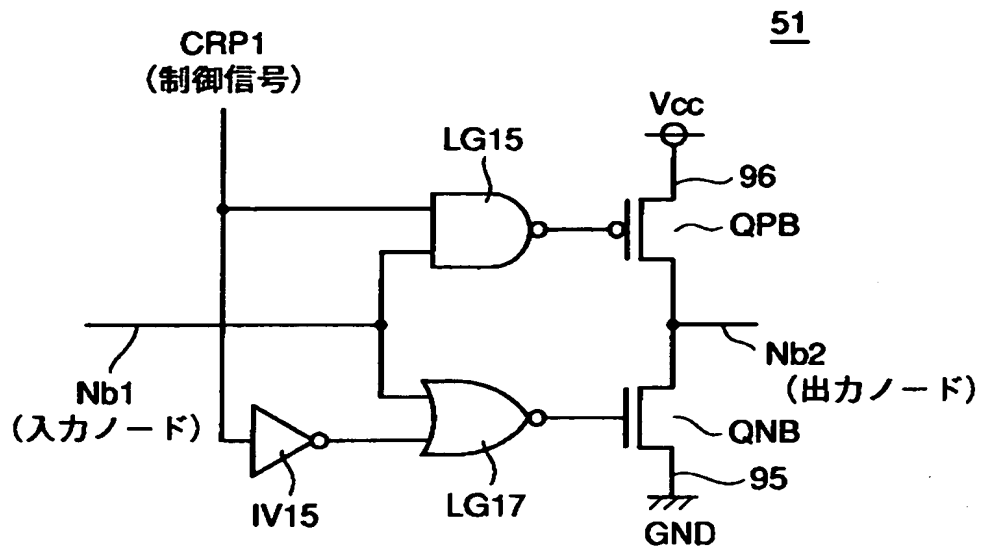
【図 1】



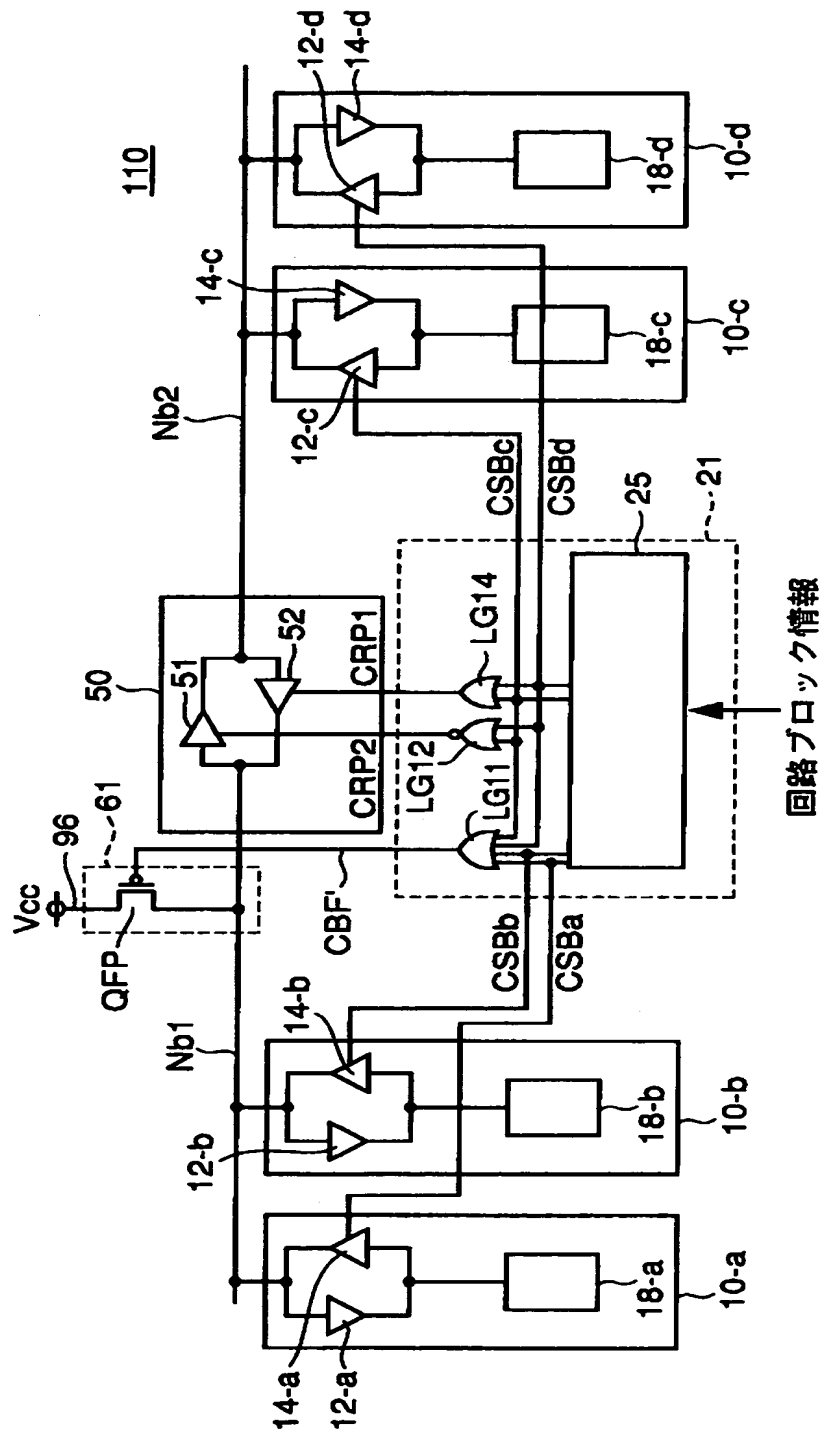
【圖 2】



【図3】

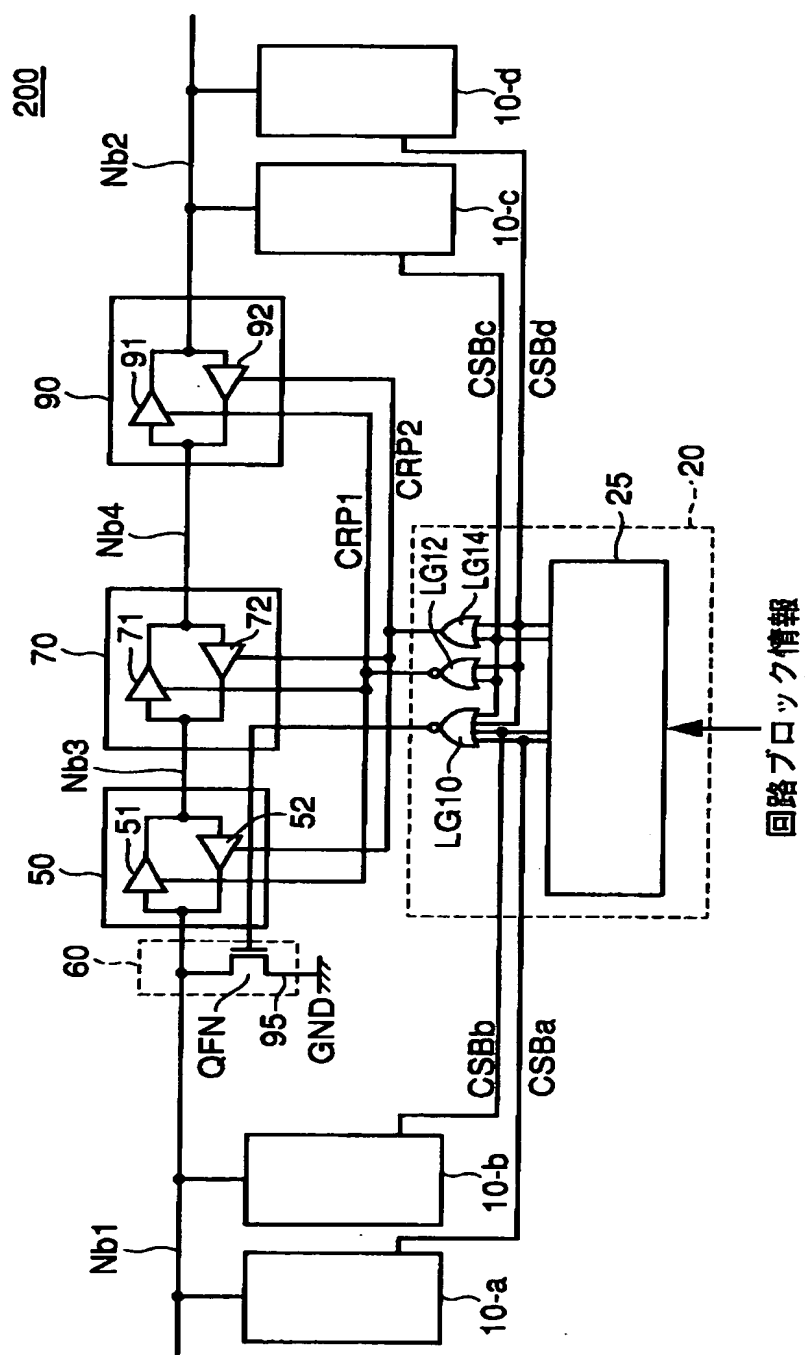


【図4】

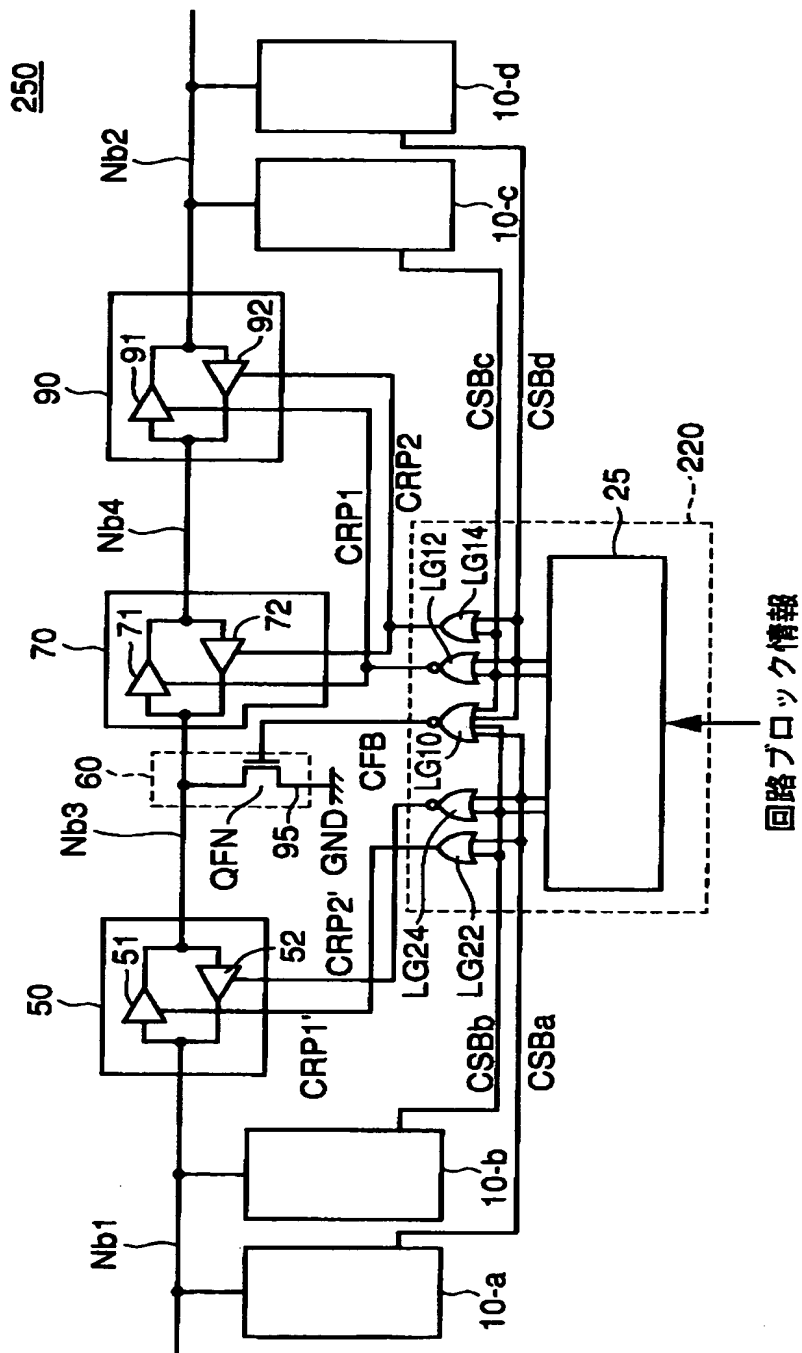


回路ブロック情報

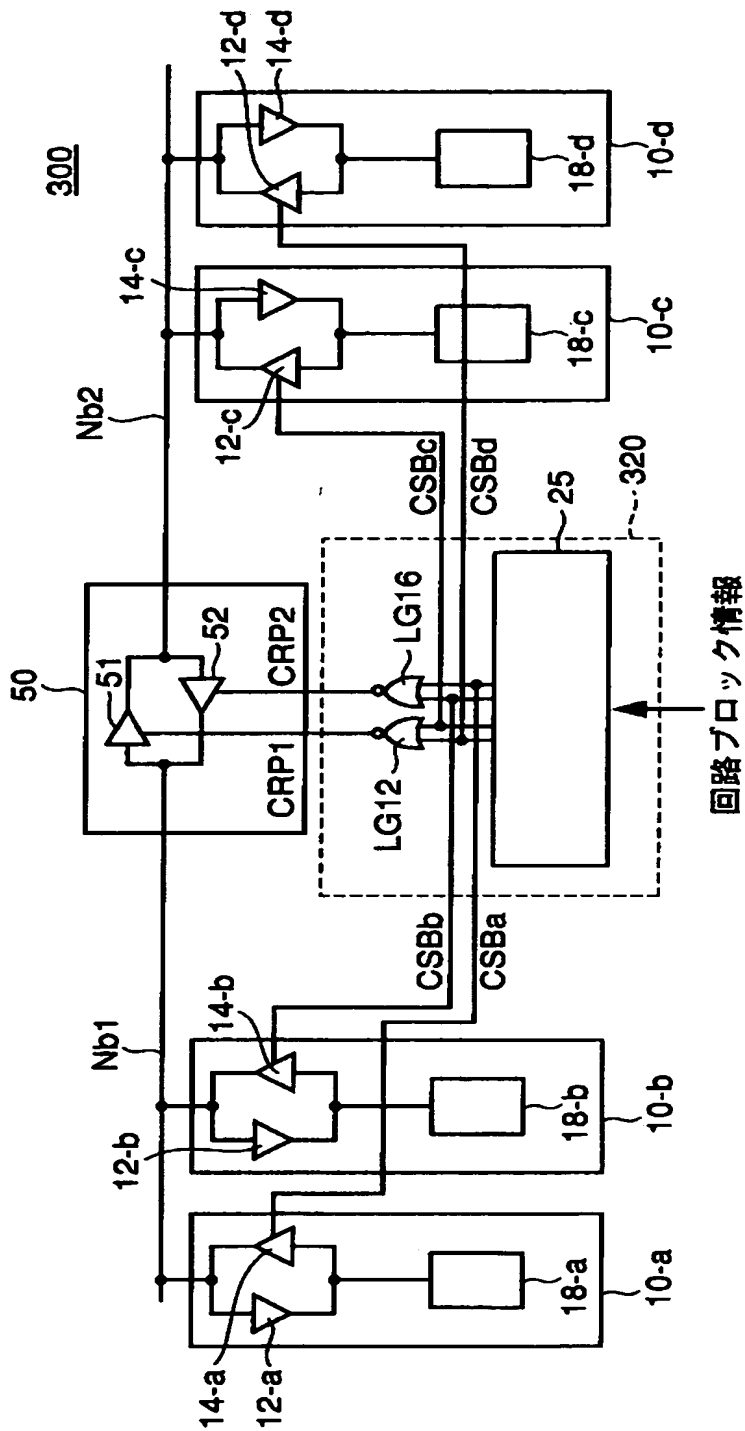
【図 5】



【図 6】

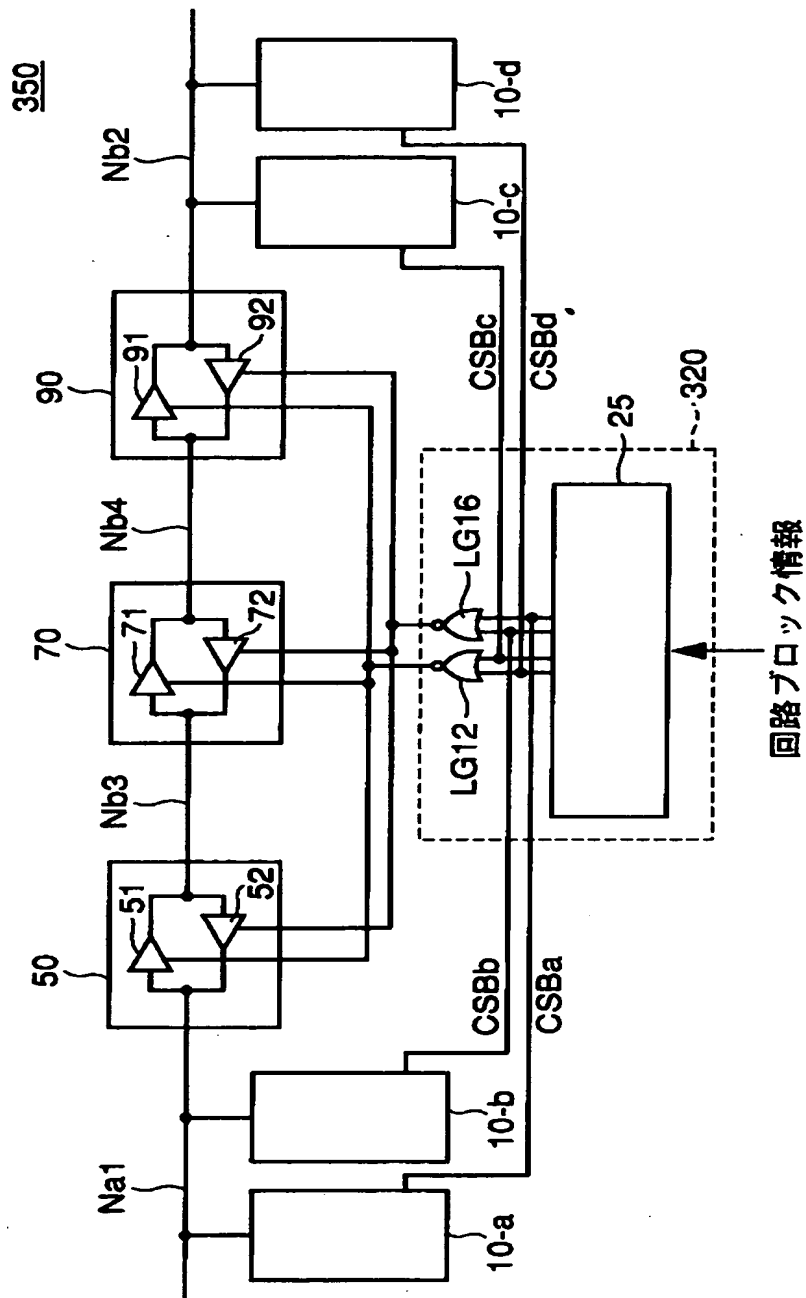


【図7】

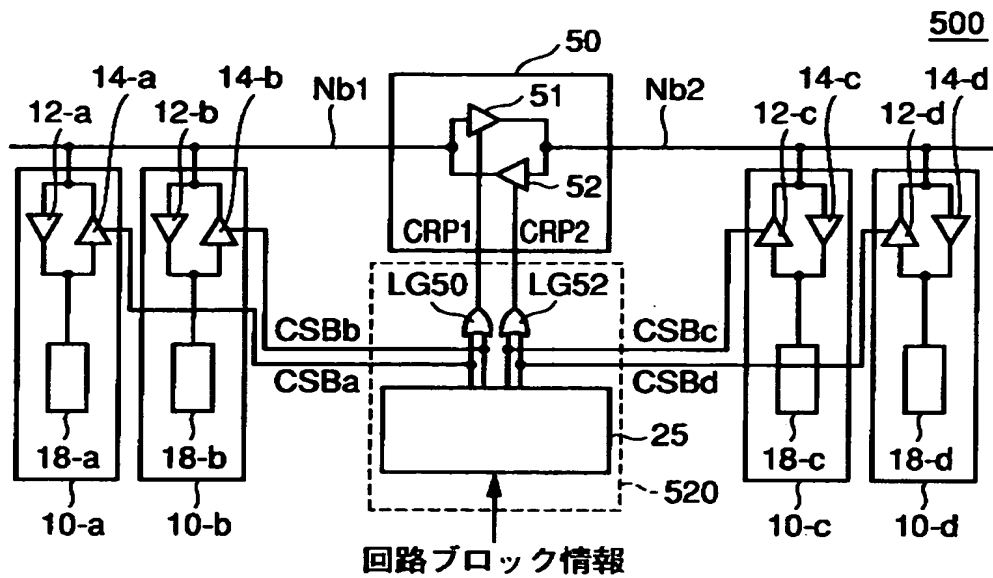




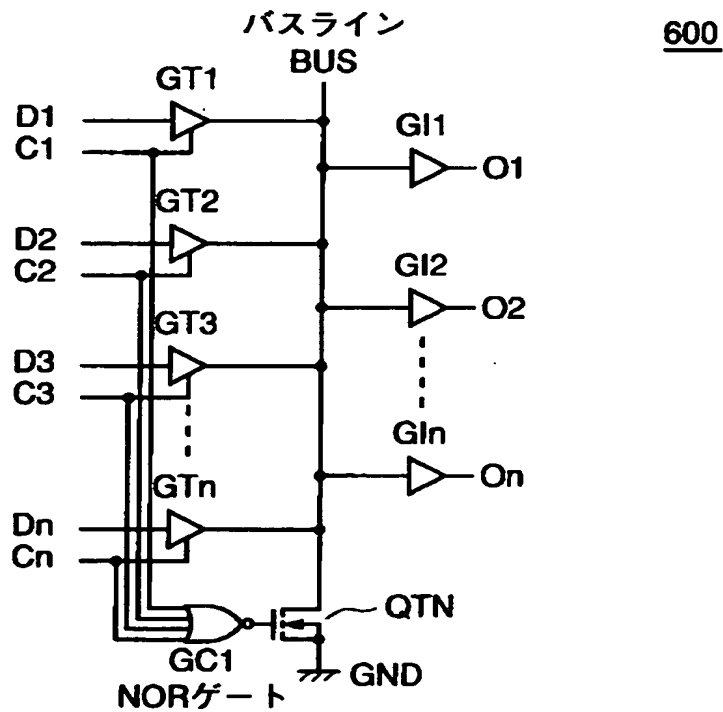
【図 8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 データバス使用時におけるデータ伝達速度の低下を招くことなく、データバス不使用時における電位レベルが不定となることを回避して動作を安定化することが可能な双方向バス回路の構成を提供する。

【解決手段】 データバスは、リピータ回路 5 0 によってバスノード N b 1 および N b 2 に分割される。リピータ回路 5 0 は、バスノード N b 1 のデータをバスノード N b 2 に増幅して伝達するためのトライステートバッファ 5 1 と、トライステートバッファ 5 1 と逆方向に接続されるトライステートバッファ 5 2 とを含む。データバス不使用時においては、トライステートバッファ 5 1 および 5 2 はともに活性化され、リピータ回路 5 0 は、ラッチ回路として機能する。

【選択図】 図 7

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社